

PAT-NO: JP403045398A
DOCUMENT-IDENTIFIER: JP 03045398 A
TITLE: PRINTED CIRCUIT BOARD FOR IC CARD
PUBN-DATE: February 26, 1991

INVENTOR- INFORMATION:
NAME
TOKUDA, HIROSHI

ASSIGNEE- INFORMATION:
NAME SUMITOMO BAKELITE CO LTD COUNTRY
N/A

APPL-NO: JP01180205
APPL-DATE: July 14, 1989

INT-CL (IPC): B42D015/10
US-CL-CURRENT: 229/92.8

ABSTRACT:

PURPOSE: To provide a printed circuit board having no warpage and excellent in productivity by providing conductor-removed parts to the earth part on the side of the surface large in a sum total area of a conductor layer so that the residual ratio of the conductor layer of an earth pattern becomes a specific range.

CONSTITUTION: A substrate for an IC card has a thickness of 0.65mm or less and the respective conductor layers of signal pattern parts 3 consisting of power supply wires, control wires, input wires or output

wires, the connection parts 6 to an external system and the earth parts 4 allotted to a part excepting said parts 3, 6 are provided to both surfaces of said substrate. The ratio of the sum total areas allotted to the signal pattern parts 3, the connection parts 6 and the earth parts 4 on the surface and rear surface sides of the substrate is set to 0.7 - 1.4 and conductor removed parts 5 are provided to the earth part 4 on the side of the surface large in the sum total area of the conductor layer so that the residual copper ratio of the conductor layer of an earth pattern becomes 0.4 - 0.8. By this method, the stress difference of the surface of the substrate can be reduced and warpage can be improved to a large extent.

COPYRIGHT: (C)1991,JPO&Japio

⑫公開特許公報(A) 平3-45398

⑬Int.CI.⁵

B 42 D 15/10

識別記号

5 2 1

庁内整理番号

6548-2C

⑭公開 平成3年(1991)2月26日

審査請求 未請求 請求項の数 1 (全4頁)

⑤発明の名称 ICカード用回路基板

⑥特願 平1-180205

⑦出願 平1(1989)7月14日

⑧発明者 德田 浩 東京都港区三田3丁目11番36号 住友ベークライト株式会社内

⑨出願人 住友ベークライト株式 東京都千代田区内幸町1丁目2番2号
会社

明細書

リント回路基板に関するものである。

〔従来の技術〕

1. 発明の名称

ICカード用回路基板

2. 特許請求の範囲

(1) 厚さが0.65mm以下で、その両面には電源線、制御線、入力線、出力線などよりなる信号バターン部、外部システムとの接続部、およびこれらを除く部分に割り当てられるアース部の各導体層が設けられており、前記信号バターン部、およびアース部に割り当てられる各面積の総和の、表面側と裏面側における比が0.7以下または1.4以上であるICカード用基板において、導体層の総和面積の大きい面側のアース部に、アースバターンの導体層の残存率が0.4から0.8の範囲になるように導体除去部を設けたことを特徴とするICカード用回路基板。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、薄くても反りのないICカード用ブ

最近、工作機械の制御、ネットワークの端末、あるいは文書作成用フォント、IDなどへの応用として、RAMやROMなどのICを搭載したいわゆるメモリーカードや、CPUを搭載したマイコンカードなどのICカードが実用されている。これらは従来の光ディスク、フロッピーディスク、磁気テープ、あるいは紙テープなどの記憶媒体に比較して、携帯に便利な形状であることが要求され、なかでも特に薄型化はなかば当然の指向方向である。

第2図は、これらICカードの実装基板の断面の例をあらわすものであり、基板(1)の片面または両面に、ロジックIC、メモリーIC、CPU、抵抗、コンデンサーなどの電子部品(2)が実装されている。

一方薄型化の要求のために、使用する電子部品(2)は、たとえばICについては、SOP、T-SOPなどに代表される薄型の表面実装用部品が

適していることはいうまでもないが、基板(1)もたとえば0.2mmから0.65mmと通常の回路基板に比較して薄いものを使用する必要がある。

第3図は、従来のICカード用プリント回路基板の例をあらわしたものであり、(a)は表面を、(b)は裏面を示す。これらの図に示されているように、基板の両面には、電源線、制御線、入力線、出力線などよりなる信号パターン部(3)と、外部システムとの接続部(6)と、これらを除く部分に配置されたアース部(4)の各導体層が、鋼箔の化学的エッチングによってパターン化されている。なお、外部との接続は、接続部(6)に多ピンのコネクターを介したいわゆるツーピースタイプのカードとしておこなうこともあるし、図に示した接続部(6)を端子電極としたいわゆるカードエッジタイプのカードとしておこなうこともある。

この基板平面内に設けられた各導体層の鋼箔パターンの全残鋼量は表面側と裏面側で一般には一致せず、通常は全残鋼量の表裏面での比は0.7以

下または1.4以上であることが多い。さらに、主にノイズ対策の常套手段として、アース部分はできるだけ広い面積を確保するのが一般的であるために、少なくとも回路基板の片面は、同一平面内での鋼箔パターンのうちアース部が占有する面積は信号パターン部や接続部に比較して大きく、アース部が占有できる面積と同一平面内での全残鋼量の比は0.5から0.9にもなることがある。

このように従来のICカード用回路基板では、基板そのものの厚みが薄いだけでなく、その両面にパターン化されて残される導体層の鋼箔の量がアンバランスであることによって、基板表面の応力に差が生じ、この結果基板が反ってしまうという欠点があった。

(発明が解決しようとする課題)

本発明は、従来のICカード用回路基板のかかる欠点に鑑みて、種々検討の結果得られたものであり、その目的とするところは反りがなく、しかも生産性に優れた回路基板を提供するにある。

(課題を解決するための手段)

- 3 -

すなわち本発明は、厚さが0.65mm以下で、その両面には電源線、制御線、入力線、出力線などよりなる信号パターン部、外部システムとの接続部、およびこれらを除く部分に割り当てられるアース部の各導体層が設けられており、前記信号パターン部、接続部、およびアース部に割り当てられる各面積の総和の表面側と裏面側における比が0.7以下または1.4以上であるICカード用基板において、導体層の総面積の大きい面側のアース部に、アースパターンの導体層の残存鋼率が0.4から0.8の範囲になるように導体除去部を設けたことを特徴とするICカード用回路基板である。

本発明者らは、従来のICカード用回路基板において、反りが特に基板の両面の残鋼量のアンバランス性から引き起こされることに注目し、基板表面の応力の差を極力小さくするよう工夫することにより、反りの大幅な改善がはかれることを見い出したのである。すなわち、少なくとも全残鋼量の大きい面について、基板上の占有面積の大きいアース部をベタアースとすることなく、一部分

- 4 -

エッチングによりアース部の鋼箔を除去したメッシュ状アースパターンとして形成することが、特に基板の薄いICカード用回路基板には効果的であることがわかったのである。なお、本発明において前記導体層は鋼箔に限定されるものではなく、アルミニウム箔等を含む金属箔が使用可能である。

以下、図面により本発明を詳細に説明する。

第1図(a)は本発明におけるパターン基板の一例であり、アース部(4)には鋼箔除去部(5)が形成されている。アース部(4)のうち実際に鋼箔が残されている実効的なアース面積の占有率は0.4ないし0.8であることが望ましい。占有率がこれ以上であると表裏両面での全残鋼量の差が大きく、この結果表面の応力の差により反りは改善されない。また占有率がこれ以下であると、反りは改善されるが、この反面、実効的なアース面積が小さすぎノイズがのりやすく好ましくない。

なお、鋼箔除去部(5)の個々の形状は、別段第1図(a)に示した形状に限るものではなく、第1図(b)に示したような円形、三角形、長方

形、星形、菱形等の形状でも一向に差し支えあるものではなく、本発明においては銅箔除去部の形状については本質的な要件でない。

また本発明においては、残る片面のアース部についても同様に銅箔除去部を設けてもかまわない。

本発明において使用する基板は、エポキシ樹脂、フェノール樹脂、ポリイミド樹脂、ポリエステル樹脂など、何らその素材を特定するものではなく、さらにガラス布や紙等の基材にこれらの樹脂を含浸させたものでもかまわない。

さらに本発明において使用される基板は、第2図に示したような通常の両面回路基板でもかまわないし、基板の内層にアース層やバターン層を何層か設けたいわゆる多層回路板でもかまわない。後者の場合は、最上面と最下面の銅箔バターンのアース部に対して、本発明による銅箔除去部を形成すれば、両面回路基板と同様な効果が得られるのであり、さらに内層のアース部に対しても銅箔除去部を形成してもなんら差し支えない。

以上のようにアース部に銅箔除去部を設けるこ

とにより、薄い基板でも、その平面性をなんら失うことのないバターン基板を得ることが可能である。

以下、本発明の実施例を述べる。

(実施例 1)

厚さ 0.4 mm で長辺 × 短辺 = 75 mm × 50 mm のガラスエポキシ両面銅張基板に対し、第2図のように部品をレイアウトした。ここに信号バターン部、接続部、およびアース部に割り当てられる面積の総和の表裏両面における比は 0.4 であった。

ついで両面のアース部として割り当てられた部分に、一边が 1 mm の菱形の銅箔除去部を、アース部内の実効的に銅が残されているバターン部が 0.7 になるようにしてエッチング加工した。エッチング後の基板の反りを長辺方向で測定したところ、平均 0.2 mm であった。

(実施例 2)

基板の厚さが 0.2 mm で、信号のバターン部、接続部、およびアース部に割り当てられる面積の総和の表裏両面における比が 0.3 であったこと以外

- 7 -

は、実施例 1 と同様にして基板をバターン化した。エッチング後の基板の反りを長辺方向で測定したところ、平均 0.3 mm であった。

(比較例 1)

アース部に割り当てられる面積内に銅箔除去部を設けなかったこと以外は、実施例 1 と同様なバターン基板を得た。

エッチング後の基板の反りを長辺方向で測定したところ、平均 2.6 mm であった。

(比較例 2)

アース部に割り当てられる面積内に銅箔除去部を設けなかったこと以外は、実施例 2 と同様なバターン基板を得た。

エッチング後の基板の反りを長辺方向で測定したところ、平均 3.4 mm であった。

(発明の効果)

以上の説明で明らかなように、本発明に従うと薄くても反りのない基板が生産性よく得られ、薄型 IC カード用回路基板として好適である。

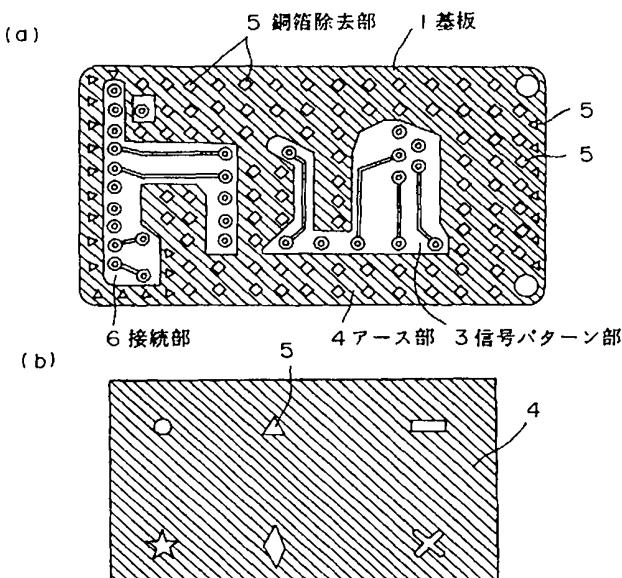
4. 図面の簡単な説明

- 8 -

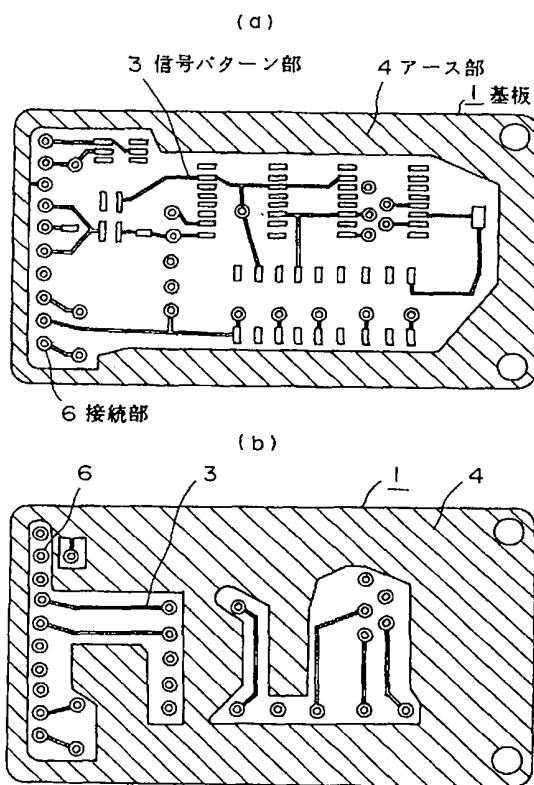
第1図 (a) は本発明における IC カード用回路基板の回路バターンの一例、また、第1図 (b) は本発明における銅箔除去部の個々の形状の例を示す図で、第2図は IC カード用回路基板の実装時における電子部品のレイアウトの例を示す断面図である。第3図 (a')、(b') は従来の IC カード用回路基板の表面および裏面の回路バターンの例を示す図である。

特許出願人 住友ベークライト株式会社

第 1 図



第 3 図



第 2 図

